



PATENT
ATTORNEY DOCKET NO. 053785-5124

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)
)
Woong-Kwon KIM, et al.)
)
Application No.: 10/629,741) Group Art Unit: 2871
)
Filed: July 30, 2003) Examiner: Not Assigned

For: ARRAY SUBSTRATE OF LIQUID CRYSTAL DISPLAY DEVICE HAVING COLOR
FILTER ON THIN FILM TRANSISTOR STRUCTURE AND METHOD OF
FABRICATING THE SAME

Commissioner for Patents
Arlington, VA 22202

Sir:

SUBMISSION OF PRIORITY DOCUMENT

Under the provisions of 35 U.S.C. § 119, Applicants hereby claim the benefit of the filing date of Korean Application No. 2002-0077424, filed December 6, 2002 for the above-identified United States Patent Application.

In support of Applicants' claim for priority, filed herewith is one certified copy of the above.

Respectfully submitted,

MORGAN, LEWIS & BOCKIUS LLP

By:

Robert J. Goodell, Reg. No. 41,040

Dated: January 2, 2004

MORGAN, LEWIS & BOCKIUS LLP
1111 Pennsylvania Avenue, NW
Washington, D.C. 20004
202-739-3000



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0077424
Application Number

출원년월일 : 2002년 12월 06일
Date of Application DEC 06, 2002

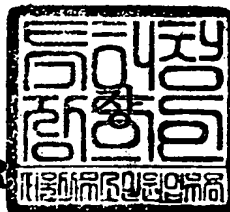
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 06 월 04 일

특 허 청

COMMISSIONER





【서지사항】

| | |
|------------|---|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0001 |
| 【제출일자】 | 2002.12.06 |
| 【발명의 명칭】 | 액정표시장치 및 그 제조방법 |
| 【발명의 영문명칭】 | Liquid Crystal Display Device and Method for fabricating the same |
| 【출원인】 | |
| 【명칭】 | 엘지 .필립스엘시디(주) |
| 【출원인코드】 | 1-1998-101865-5 |
| 【대리인】 | |
| 【성명】 | 정원기 |
| 【대리인코드】 | 9-1998-000534-2 |
| 【포괄위임등록번호】 | 1999-001832-7 |
| 【발명자】 | |
| 【성명의 국문표기】 | 김웅권 |
| 【성명의 영문표기】 | KIM,WOONG KWON |
| 【주민등록번호】 | 700217-1480917 |
| 【우편번호】 | 435-040 |
| 【주소】 | 경기도 군포시 산본동 1145 세종아파트 640-1204 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 김세준 |
| 【성명의 영문표기】 | KIM,SE JUNE |
| 【주민등록번호】 | 700304-1053010 |
| 【우편번호】 | 140-811 |
| 【주소】 | 서울특별시 용산구 동빙고동 32-15 |
| 【국적】 | KR |
| 【취지】 | 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 기 (인) |

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 8 면 8,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 37,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명에 따른 탑게이트형 박막트랜지스터를 포함하는 COT 액정표시장치 및 그 제조방법에 의하면, COT 구조에 의해 합착마진을 최소화하여 개구율을 높일 수 있고, 폴리 실리콘 박막트랜지스터 이용을 통해 상부 기판에 별도의 블랙매트릭스 패턴을 생략할 수 있으며, 보호층접용으로 블랙매트릭스를 형성하기 때문에 공정 단순화를 통해 고개구율 구조를 용이하게 적용할 수 있어 생산수율을 높일 수 있는 장점을 가진다.

【대표도】

도 4

【명세서】

【발명의 명칭】

액정표시장치 및 그 제조방법{Liquid Crystal Display Device and Method for fabricating the same}

【도면의 간단한 설명】

도 1은 일반적인 액정표시장치를 개략적으로 나타낸 도면.

도 2는 도 1의 II-II를 따라 절단한 단면도.

도 3은 기존의 탑게이트형 박막트랜지스터를 포함하는 액정표시장치용 어레이 기판에 대한 단면도.

도 4는 본 발명의 제 1 실시예에 COT 액정표시장치용 기판에 대한 단면도.

도 5는 본 발명의 제 2 실시예에 따른 COT 액정표시장치에 대한 제조공정을 단계별로 나타낸 공정흐름도.

<도면의 주요부분에 대한 간단한 설명>

110 : 기판

112 : 버퍼층

114 : 반도체층

116 : 제 1 캐패시터 전극

118 : 게이트 절연막

120 : 게이트 전극

122 : 제 2 캐패시터 전극

124 : 층간 절연막

126a, 126b, 126c : 제 1, 2, 3 콘택홀

- <24> 일반적으로, 액정표시장치는 전계 생성 전극이 각각 형성되어 있는 두 기판을 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고 두 기판 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.
- <25> 도 1은 일반적인 액정표시장치를 개략적으로 나타낸 도면이다.
- <26> 도시한 바와 같이, 일반적인 컬러 액정표시장치(11)는 서브 컬러필터(8)와 각 서브 컬러필터(8)사이에 구성된 블랙매트릭스(6)를 포함하는 컬러필터(7)와 상기 컬러필터(8)의 상부에 증착된 공통전극(18)이 형성된 상부기판(5)과, 화소영역(P)이 정의되고 화소영역에는 화소전극(17)과 스위칭소자(T)가 구성되며, 화소영역(P)의 주변으로 어레이 배선이 형성된 하부기판(22)과, 상부기판(5)과 하부기판(22) 사이에는 액정(14)이 충전되어 있다.
- <27> 상기 하부기판(22)은 어레이기판(array substrate)이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터(TFT)를 교차하여 지나가는 게이트배선(13)과 데이터배선(15)이 형성된다.
- <28> 이때, 상기 화소영역(P)은 상기 게이트배선(13)과 데이터배선(15)이 교차하여 정의되는 영역이며, 상기 화소영역(P)상에는 전술한 바와 같이 투명한 화소전극(17)이 형성된다.
- <29> 상기 화소전극(17)은 ITO(indium-tin-oxide)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성금속을 사용한다.

- <30> 상기 화소전극(17)과 병렬로 연결된 스토리지 캐패시터(C_{ST})가 게이트 배선(13)의 상부에 구성되며, 스토리지 캐패시터(C_{ST})의 제 1 전극으로 게이트 배선(13)의 일부를 사용하고, 제 2 전극으로 소스 및 드레인 전극과 동일층 동일물질로 형성된 아일랜드 형상의 소스/드레인 금속층(30)을 사용한다.
- <31> 이때, 상기 소스/드레인 금속층(30)은 화소전극(17)과 접촉되어 화소전극의 신호를 받도록 구성된다.
- <32> 전술한 바와 같이 상부 컬러필터 기판(5)과 하부 어레이기판(22)을 합착하여 액정패널을 제작하는 경우에는, 컬러필터 기판(5)과 어레이기판(22)의 합착 오차에 의한 빛샘 불량 등이 발생할 확률이 매우 높다.
- <33> 이하, 도 2를 참조하여 설명한다.
- <34> 도 2는 도 1의 II-II를 따라 절단한 단면도이다.
- <35> 앞서 설명한 바와 같이, 어레이기판인 제 1 기판(22)과 컬러필터 기판인 제 2 기판(5)이 이격되어 구성되고, 제 1 및 제 2 기판(22,5)의 사이에는 액정층(14)이 위치한다.
- <36> 어레이기판(22)의 상부에는 게이트 전극(32)과 액티브층(34)과 소스 전극(36)과 드레인 전극(38)을 포함하는 박막트랜지스터(T)와, 상기 박막트랜지스터(T)의 상부에는 이를 보호하는 보호막(40)이 구성된다.
- <37> 화소영역(P)에는 상기 박막트랜지스터(T)의 드레인 전극(38)과 접촉하는 투명 화소 전극(17)이 구성되고, 화소전극(17)과 병렬로 연결된 스토리지 캐패시터(C_{ST})가 게이트 배선(13)의 상부에 구성된다.

- <38> 상기 상부 기판(5)에는 상기 게이트 배선(13)과 데이터 배선(15)과 박막트랜지스터(T)에 대응하여 블랙매트릭스(6)가 구성되고, 하부 기판(22)의 화소영역(P)에 대응하여 컬러필터(8)가 구성된다.
- <39> 이때, 일반적인 어레이기판의 구성은 수직 크로스토크(cross talk)를 방지하기 위해 데이터 배선(15)과 화소 전극(17)을 일정 간격(IIIa) 이격 하여 구성하게 되고, 게이트 배선(13)과 화소 전극 또한 일정간격(IIIb) 이격하여 구성하게 된다.
- <40> 데이터 배선(15) 및 게이트 배선(13)과 화소 전극(17) 사이의 이격된 공간(A,B)은 빛샘 현상이 발생하는 영역이기 때문에, 상부 컬러필터기판(5)에 구성한 블랙 매트릭스(black matrix)(6)가 이 부분을 가려주는 역할을 하게 된다.
- <41> 또한, 상기 박막트랜지스터(T)의 상부에 구성된 블랙매트릭스(6)는 외부에서 조사된 빛이 보호막(40)을 지나 액티브층(34)에 영향을 주지 않도록 하기 위해 빛을 차단하는 역할을 하게 된다.
- <42> 그런데, 상기 상부 기판(5)과 하부 기판(22)을 합착하는 공정 중 합착 오차(misalign)가 발생하는 경우가 있는데, 이를 감안하여 상기 블랙매트릭스(6)를 설계할 때 일정한 값의 마진(margin)을 두고 설계하기 때문에 그 만큼 개구율이 저하된다.
- <43> 또한, 마진을 넘어서는 합착오차가 발생할 경우, 빛샘 영역(IIIa, IIIb)이 블랙매트릭스(6)에 모두 가려지지 않는 빛샘 불량이 발생하는 경우가 종종 있다.
- <44> 이러한 경우에는 상기 빛샘이 외부로 나타나기 때문에 화질이 저하되는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

- <45> 본 발명은 상기 문제점을 해결하기 위하여, 합착 마진을 최소화하여 투과율을 높일 수 있는 구조의 액정표시장치를 제공하는 것을 목적으로 한다.
- <46> 이를 위하여, 본 발명에서는 박막트랜지스터가 형성된 기판 상에 컬러필터 소자를 함께 형성하는 방식의 COT 액정표시장치를 제공하고자 한다.
- <47> 본 발명의 또 다른 목적에서는, 공정단순화 구조를 가지는 COT 액정표시장치를 제공하는 것이다.
- <48> 이를 위하여, 본 발명에서는 폴리실리콘(p-Si)으로 이루어진 반도체층 상에 게이트 전극을 형성하고, 게이트 전극을 마스크로 이용하여 반도체층의 노출된 양측을 불순물 처리하고, 상기 반도체층의 불순물처리된 영역과 접촉되게 소스 전극 및 드레인 전극을 형성하는 제조 공정에 의해 이루어지는 탑게이트형 박막트랜지스터 구조 어레이 소자를 포함하며, 특히 상기 탑게이트형 박막트랜지스터용 보호층을 별도로 형성하지 않고, 컬러필터 소자의 블랙매트릭스를 광차단 패턴 겸용 보호층으로 형성하는 방법으로 공정을 단순화하고자 한다.
- <49> 이하, 도 3은 기존의 탑게이트형 박막트랜지스터를 포함하는 액정표시장치용 어레이 기판에 대한 단면도이다.
- <50> 도시한 바와 같이, 기판(50) 상에 버퍼층(52)이 형성되어 있고, 버퍼층(52) 상부에는 반도체층(54) 및 제 1 캐패시터 전극(56)이 서로 이격되게 위치하고 있으며, 반도체층(54)은 액티브 영역(IIIa)과, 액티브 영역(IIIa)의 주변부에 위치하는 소스 영역(IIIb) 및 드레인 영역(IIIc)으로 이루어져 있고, 제 1 캐패시터 전극(56)에는 제 1 영

역(IVa)과 제 1 영역(IVa)의 양측에 제 2 영역(IVb)이 정의되어 있으며, 실질적으로 제 1 영역(IVa)은 액티브 영역에 해당된다.

<51> 상기 반도체층(54)을 이루는 물질은 폴리실리콘 물질에서 선택되며, 소스 영역(IIIb) 및 드레인 영역(IIIc) 그리고, 제 2 영역(IVb)은 불순물 처리된 영역에 해당된다.

<52> 상기 반도체층(54) 및 제 1 캐패시터 전극(56)을 덮는 영역에는 게이트 절연막(58)이 형성되어 있고, 게이트 절연막(58) 상부의 액티브 영역(IIIa)을 덮는 위치에 게이트 전극(60)이 형성되어 있고, 게이트 절연막(58) 상부의 제 1 영역(IVa)을 덮는 위치에는 제 2 캐패시터 전극(62)이 형성되어 있다.

<53> 상기 게이트 전극(60) 및 제 2 캐패시터 전극(62)을 덮는 위치에는 층간 절연막(64)이 형성되어 있고, 층간 절연막(64) 및 게이트 절연막(58)에는 반도체층(54)의 소스 영역(IIIb) 및 드레인 영역(IIIa) 그리고, 제 1 캐패시터 전극(56)의 어느 한 제 2 영역(IVb)을 노출시키는 콘택홀이 각각 형성되어 있다.

<54> 설명의 편의상, 상기 반도체층(54)의 소스 영역(IIIb)을 노출시키는 콘택홀을 제 1 콘택홀(66a), 드레인 영역(IIIc)을 노출시키는 것은 제 2 콘택홀(66b), 제 2 영역(IVb)을 노출시키는 것을 제 3 콘택홀(66c)로 명칭한다.

<55> 상기 제 1 내지 3 콘택홀(66a, 66b, 66c)을 포함하는 층간 절연막(64) 상부에는 제 1 콘택홀(66a)을 통해 소스 영역(IIIb)과 연결되는 소스 전극(68) 및 제 2 콘택홀(66b)을 통해 드레인 영역(IIIc)과 연결되는 드레인 전극(70)이 형성되어 있고, 제 3 콘택홀(66c)을 통해 제 2 영역(IVb)과 연결되는 보조 캐패시터 전극(72)이 형성되어 있다.

- <56> 그리고, 상기 소스 전극(68)과 연결되어 데이터 배선(69)이 형성되어 있다.
- <57> 상기 소스 전극(68) 및 드레인 전극(70) 그리고, 보조 캐패시터 전극(72)을 덮는 위치에 형성되며, 드레인 전극(70) 및 보조 캐패시터 전극(72)을 노출시키는 위치에서 드레인 콘택홀(74) 및 캐패시터 콘택홀(76)을 가지는 보호층(78)이 형성되어 있고, 보호층(78) 상부에는 드레인 콘택홀(74) 및 캐패시터 콘택홀(76)을 통해 드레인 전극(70) 및 보조 캐패시터 전극(72)과 연결되는 화소 전극(80)이 형성되어 있다.
- <58> 상기 반도체층(54), 게이트 전극(60), 소스 전극(68) 및 드레인 전극(70)은 박막트랜지스터(T)를 이루고, 상기 보조 캐패시터 전극(72)을 통해 전압인가에 따라 전도성을 띠는 제 1 캐패시터 전극(56)과 제 2 캐패시터 전극(62)이 중첩되는 영역은 게이트 절연막(58)이 개재된 상태에서 스토리지 캐패시턴스(C_{ST})를 이룬다.
- <59> 본 발명에서는, 이러한 기존의 탑게이트형 박막트랜지스터를 포함하는 액정표시장치용 어레이 기판을 COT 구조로 형성함에 따라 공정 단순화를 꾀하고자 한다.
- <60> 좀 더 상세히 설명하면, COT 액정표시장치에 탑게이트형 박막트랜지스터 구조를 적용하며, 이때 개구율 향상 및 보호층 목적으로 이용되는 유기 절연막을 대신하여 블랙매트릭스를 이용함으로써, COT 구조가 가지는 합착 마진 최소화 및 개구율 증가에 공정 단순화 효과를 추가로 가질 수 있게 된다.

【발명의 구성 및 작용】

- <61> 상기 목적을 달성하기 위하여, 본 발명의 제 1 특징에서는, 기판 상에 형성된 폴리실리콘(p-Si)으로 이루어진 반도체층과; 상기 반도체층의 중앙부를 덮는 영역에 형성된

게이트 전극 및 상기 게이트 전극과 연결되는 게이트 배선과; 상기 게이트 전극 상부에서, 상기 반도체층의 양측부와 연결된 소스 전극 및 드레인 전극 그리고, 상기 소스 전극과 연결되고, 상기 게이트 배선과 교차되게 형성되는 데이터 배선과; 상기 게이트 배선 및 데이터 배선이 교차되는 영역은 화소 영역을 이루고, 상기 반도체층, 게이트 전극, 소스 전극 및 드레인 전극은 박막트랜지스터를 이루며, 상기 화소 영역별 경계부 및 박막트랜지스터를 덮는 위치에 형성되고, 상기 화소 영역과 대응된 위치에서 오픈부를 가지는 블랙매트릭스와; 상기 블랙매트릭스를 덮는 영역에 형성되며, 상기 드레인 전극과 연결되는 제 1 투명 도전층과; 상기 제 1 투명 도전층 상부에서, 상기 블랙매트릭스를 컬러별 경계부로 하여, 상기 오픈부에 형성된 컬러필터층과; 상기 컬러필터층 상부에서 화소 영역별로 형성되며, 상기 제 1 투명 도전층 및 상기 제 1 투명 도전층과 연결되는 제 2 투명 도전층으로 이루어진 화소 전극을 포함하는 COT 액정표시장치용 기판을 제공한다.

<62> 상기 화소 전극은 이웃하는 데이터 배선과 일정간격 중첩되게 형성되며, 상기 블랙매트릭스는 데이터 배선을 덮는 영역을 포함하여 형성되고, 상기 블랙매트릭스를 이루는 물질은 블랙레진에서 선택되며, 상기 소스 전극 및 드레인 전극과 연결되는 반도체층 영역은 불순물 처리된 영역에 해당되는 것을 특징으로 한다.

<63> 그리고, 상기 반도체층과 게이트 전극 사이에는 게이트 절연막이 개재되어 있고, 상기 게이트 전극과 소스 전극 및 드레인 전극 사이에는 층간 절연막이 개재되어 있으며, 상기 층간 절연막 및 게이트 절연막에는 반도체층의 양측부를 노출시키는 콘택홀이 형성되고, 상기 반도체층과 동일 물질로 이루어지며, 서로 이격되게 제 1 캐패시터 전극이 형성되어 있고, 상기 게이트 절연막 상부에서 제 1 캐패시터 전극의 중앙부와 중첩되게

상기 게이트 전극과 동일 물질로 이루어진 제 2 캐패시터 전극이 형성되어 있고, 상기 소스 전극 및 드레인 전극과 동일 물질로 제 1 캐패시터 전극의 일측부와 연결되는 보조 캐패시터 전극이 형성되어 있으며, 상기 보조 캐패시터 전극은 상기 제 1 투명 도전층과 연결되어 있고, 상기 제 1, 2 캐패시터 전극의 중첩 영역은 스토리지 캐패시턴스를 이루는 것을 특징으로 한다.

<64> 본 발명의 제 2 특징에서는, 기판 상에 버퍼층을 형성하는 단계와; 상기 버퍼층 상부에 폴리실리콘 물질로 이루어진 반도체층을 형성하는 단계와; 상기 반도체층 상부에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 상부에서 반도체층 중앙부와 중첩되는 게이트 전극 및 상기 게이트 전극과 연결되는 게이트 배선을 형성하는 단계와; 상기 게이트 전극 및 게이트 배선을 덮는 영역에 층간 절연막을 형성하는 단계와; 상기 게이트 절연막 및 층간 절연막에, 상기 반도체층의 양측부를 일부 노출시키는 제 1, 2 콘택홀을 형성하는 단계와; 상기 층간 절연막 상부에서, 상기 제 1, 2 콘택홀을 통해 반도체층과 연결되는 소스 전극 및 드레인 전극 그리고, 상기 소스 전극과 연결되며, 상기 게이트 배선과 교차되는 데이터 배선을 형성하는 단계와; 상기 게이트 배선 및 데이터 배선이 교차되는 영역은 화소 영역으로 정의되고, 상기 반도체층, 게이트 전극, 소스 전극 및 드레인 전극은 박막트랜지스터를 이루며, 상기 화소 영역별 경계부 및 박막트랜지스터를 덮는 영역에 위치하고, 상기 화소 영역을 오픈부로 가지는 블랙매트릭스를 형성하는 단계와; 상기 블랙매트릭스를 덮는 영역에서, 상기 드레인 전극과 연결되는 제 1 투명 도전층을 형성하는 단계와; 상기 제 1 투명 도전층 상부에서, 상기 블랙매트릭스를 컬러별 경계부로 하여, 상기 오픈부에 컬러필터층을 형성하는 단계와; 상기 컬러필터층 상부에, 상기 제 1 투명 도전층과 연결되는 제 2 투명 도전층을 형성하는 단계와, 상기

제 1, 2 투명 도전층을 화소 영역별로 패터닝(patterning)하여 화소 전극을 형성하는 단계를 포함하는 COT 액정표시장치용 기판의 제조방법을 제공한다.

<65> 상기 반도체층을 이루는 폴리실리콘 물질은, 비정질 실리콘 물질을 이용한 결정화 공정을 통해 이루어지고, 상기 화소 전극은 이웃하는 데이터 배선과 일정간격 중첩되게 형성되며, 상기 블랙매트릭스는 데이터 배선을 덮는 영역을 포함하여 형성되고, 상기 반도체층 형성단계에서, 상기 반도체층과 이격되게 제 1 캐패시터 전극을 형성하는 단계와, 상기 게이트 전극 형성단계에서, 상기 제 1 캐패시터 전극의 중앙부에 위치하는 제 2 캐패시터 전극을 형성하는 단계와, 상기 소스 전극 및 드레인 전극 형성단계에서, 상기 제 1 캐패시터 전극의 일측부와 연결되는 보조 캐패시터 전극을 형성하는 단계와, 상기 제 1 투명 도전층 형성단계에서, 상기 제 1 투명 도전층은 보조 캐패시터 전극과 연결되는 단계를 포함하며, 상기 제 1, 2 캐패시터 전극의 중첩 영역을 스토리지 캐패시터를 이루는 것을 특징으로 한다.

<66> 그리고, 상기 게이트 전극 형성단계에서는, 상기 게이트 전극을 마스크로 이용하여, 노출된 반도체층의 양측부를 불순물처리하는 단계를 포함하는 것을 특징으로 한다.

<67> 본 발명은 액정표시장치에 관한 것이며, 특히 어레이 기판에 컬러필터를 함께 형성하는 COT 구조 액정표시장치 및 그 제조방법에 관한 것이다.

<68> 또한, 본 발명에서는 탑게이트형 박막트랜지스터를 가지는 어레이 기판 상에 컬러필터를 형성하는 것을 주요 특징으로 하며, 이때 블랙매트릭스를 박막트랜지스터용 보호

층 겸용으로 이용함에 따라, 블랙매트릭스가 비화소 영역 상의 빛을 차단하는 광차단 역할 이외에도 개구율 향상 구조를 위해 이용되는 유기 절연막 기능을 겸함에 따라 개구율 향상구조를 제공할 수 있다.

<69> -- 제 1 실시예 --

<70> 도 4는 본 발명의 제 1 실시예에 COT 액정표시장치용 기판에 대한 단면도이다.

<71> 도시한 바와 같이, 기판(110) 상에 버퍼층(112)이 형성되어 있고, 버퍼층(112) 상부에는 반도체층(114) 및 제 1 캐패시터 전극(116)이 서로 이격되게 위치하고 있으며, 반도체층(114)은 액티브 영역(Va)과, 액티브 영역(Va)의 주변부에 위치하는 소스 영역(Vb) 및 드레인 영역(Vc)으로 이루어져 있고, 제 1 캐패시터 전극(116)에는 제 1 영역(VIa)과 제 1 영역(VIa)의 양측에는 제 2 영역(VIb)이 각각 정의되어 있으며, 실질적으로 제 1 영역(VIa)은 액티브 영역에 해당된다.

<72> 상기 반도체층(114)을 이루는 물질은 폴리실리콘 물질에서 선택되며, 소스 영역(Vb) 및 드레인 영역(Vc) 그리고, 제 2 영역(VIb)은 불순물 처리된 영역에 해당된다.

<73> 상기 반도체층(114) 및 제 1 캐패시터 전극(116)을 덮는 영역에는 게이트 절연막(118)이 형성되어 있고, 게이트 절연막(118) 상부의 액티브 영역(Va)을 덮는 위치에 게이트 전극(120)이 형성되어 있고, 게이트 절연막(118) 상부의 제 1 영역(VIa)을 덮는 위치에는 제 2 캐패시터 전극(122)이 형성되어 있다.

<74> 도면으로 제시하지는 않았지만, 상기 게이트 전극(120)과 연결되어 게이트 배선이 형성된다.

- <75> 상기 게이트 전극(120) 및 제 2 캐패시터 전극(122)을 덮는 위치에는 층간 절연막(124)이 형성되어 있고, 층간 절연막(124) 및 게이트 절연막(118)에는 반도체층(114)의 소스 영역(Vb) 및 드레인 영역(Va) 그리고, 제 1 캐패시터 전극(116)의 어느 한 제 2 영역(VIb)을 노출시키는 콘택홀이 각각 형성되어 있다.
- <76> 설명의 편의상, 상기 반도체층(114)의 소스 영역(Vb)을 노출시키는 콘택홀을 제 1 콘택홀(126a), 드레인 영역(Vc)을 노출시키는 것은 제 2 콘택홀(126b), 제 2 영역(VIb)을 노출시키는 콘택홀은 제 3 콘택홀(126c)로 명칭한다.
- <77> 상기 제 1 내지 3 콘택홀(126a, 126b, 126c)을 포함하는 층간 절연막(124) 상부에는 제 1 콘택홀(126a)을 통해 소스 영역(Vb)과 연결되는 소스 전극(128) 및 제 2 콘택홀(126b)을 통해 드레인 영역(Vc)과 연결되는 드레인 전극(130)이 형성되어 있고, 제 3 콘택홀(126c)을 통해 제 2 영역(VIb)과 연결되는 보조 캐패시터 전극(132)이 형성되어 있다.
- <78> 그리고, 소스 전극(128)과 연결되어 데이터 배선(134)이 형성되어 있으며, 도면으로 제시하지는 않았지만 상기 데이터 배선(134)은 게이트 배선과 교차되게 형성되어 화소 영역(P)을 정의한다.
- <79> 상기 반도체층(114), 게이트 전극(120), 소스 전극(128) 및 드레인 전극(130)은 박막트랜지스터(T)를 이루며, 상기 박막트랜지스터(T) 상부에는 데이터 배선(134)부를 덮는 영역에 블랙매트릭스(136)가 형성되어 있다.
- <80> 도면으로 제시하지는 않았지만, 상기 블랙매트릭스(136)는 화소 영역(P)별 경계부를 두르는 위치에서, 오픈부(137)를 가지는 일체형 패턴으로 형성된다.

- <81> 그리고, 상기 블랙매트릭스(136)를 덮는 기관 전면에는 제 1 투명 도전층(138)이 형성되어 있고, 블랙매트릭스(136)를 컬러별 경계부로 하여 오픈부(137)에 컬러필터(140)가 형성되어 있다.
- <82> 도면으로 제시하지는 않았지만, 상기 컬러필터(140)는 적, 녹, 청 컬러필터가 차례대로 형성되어 이루어진다.
- <83> 그리고, 상기 보조 캐패시터 전극(132)을 통해 제 1 투명도전층(138)과 전기적으로 연결된 제 1 캐패시터 전극(116)과 제 2 캐패시터 전극(122)과 게이트 절연막(118)이 개재된 상태에서 스토리지 캐패시턴스(C_{ST})를 이룬다.
- <84> 도면 상에서는, 제 1 캐패시터 전극(116)의 제 1 영역(VIa)부에서 스토리지 캐패시턴스(C_{ST})를 가지는 것을 알 수 있다.
- <85> 상기 컬러필터(140)를 덮는 영역에 제 2 투명 도전층(142)이 형성되어 있고, 화소 영역(P)별로 패터닝된 제 1, 2 투명 도전층(138, 142)은 화소 전극(144)을 이룬다.
- <86> 이러한 본 발명에 따른 탑게이트형 박막트랜지스터를 포함하는 COT 액정표시장치에서는, 폴리실리콘 박막트랜지스터를 이용하기 때문에 역스태거드형 구조를 이루는 비정질 실리콘 박막트랜지스터와 다르게 빛 유입에 따른 광누설 전류에 의한 특성 저하가 상대적으로 적으므로 박막트랜지스터부에 추가적인 블랙매트릭스 공정을 생략할 수 있다.
- <87> 그러나, 본 발명에 따른 블랙매트릭스(136)는 데이터 배선(134)을 덮는 영역(VII)에 위치하도록 하여, 화소 전극(144)과 데이터 배선(134) 간의 기생 용량(parasitic capacitance) 발생을 최소화시키도록 하는 것이 중요하다.

<88> -- 제 2 실시예 --

<89> 도 5는 본 발명의 제 2 실시예에 따른 COT 액정표시장치에 대한 제조공정을 단계별로 나타낸 공정흐름도이다.

<90> ST1은 기판 상에 버퍼층을 형성하는 단계와, 버퍼층 상부에 폴리실리콘 물질을 이용하여 반도체층 및 제 1 캐패시터 전극을 형성하는 단계이다.

<91> 상기 반도체층은 중앙부의 액티브 영역과, 양측의 소스 영역 및 드레인 영역으로 구성되고, 제 1 캐패시터 전극에는 중앙부의 제 1 영역과, 제 1 영역 양측의 제 2 영역으로 구성된다.

<92> 한 예로, 상기 버퍼층 및 비정질 실리콘 물질을 연속으로 증착한 다음, 탈수소(dehydrogenation) 과정을 거쳐 레이저 결정화, 열결정화 등을 통해 폴리실리콘으로 형성할 수 있다.

<93> 상기 폴리실리콘은 높은 이동도 특성을 가지기 때문에, 광누설 전류에 의한 스위칭 특성 저하를 최소화할 수 있으므로, 상부 기판에 별도의 블랙매트릭스 패턴을 생략할 수 있다.

<94> ST2는, 상기 반도체층 및 제 1 캐패시터 전극을 덮는 영역에 게이트 절연막을 형성하는 단계와, 게이트 절연막 상부에 위치하며, 액티브 영역을 덮는 위치의 게이트 전극 및 제 1 캐패시터 전극을 덮는 위치에 제 2 캐패시터 전극을 형성하는 단계를 포함한다.

- <95> 이 단계에서는, 상기 게이트 전극 및 제 1 캐패시터 전극을 마스크로 이용하여, 노출된 반도체층의 소스 영역 및 드레인 영역 그리고, 제 2 캐패시터 전극의 제 2 영역을 p형 이온 또는 n형 이온으로 불순물처리하는 단계를 포함한다.
- <96> ST3는, 상기 게이트 전극 및 제 1 캐패시터 전극을 덮는 영역에 위치하며, 상기 반도체층의 소스 영역 및 드레인 영역을 노출시키는 제 1, 2 콘택홀 및 제 1 캐패시터 전극의 어느 한 제 2 영역을 노출시키는 제 3 콘택홀을 가지는 층간 절연막을 형성하는 단계와, 상기 층간 절연막 상부에서 제 1, 2 콘택홀을 통해 반도체층의 소스 영역 및 드레인 영역과 접촉되는 소스 전극 및 드레인 전극과, 제 3 콘택홀을 통해 제 1 캐패시터 전극의 제 2 영역과 접촉되는 보조 캐패시터 전극을 형성하는 단계이다.
- <97> 이 단계에서는, 소스 전극 및 드레인 전극 그리고, 보조 캐패시터 전극을 형성하기 전에, 노출된 반도체층 및 제 1 캐패시터 전극 영역을 수소화(hydrogenation)처리하는 단계를 포함한다.
- <98> 상기 반도체층, 게이트 전극, 소스 전극 및 드레인 전극은 박막트랜지스터를 이룬다.
- <99> 그리고, 전술한 게이트 전극과 연결되어 제 1 방향으로 게이트 배선이 형성되고, 상기 소스 전극과 연결되며, 제 1 방향으로 교차되는 제 2 방향으로 데이터 배선이 형성되고, 게이트 배선 및 데이터 배선이 교차되는 영역은 화소 영역으로 정의된다.
- <100> ST4는, 상기 화소 영역별 경계부 및 박막트랜지스터를 덮는 영역에 블랙매트릭스를 형성하는 단계이다. 이 단계에서 블랙매트릭스는 화소 영역을 오픈부로 하는 일체형 패턴으로 형성된다.

- <101> 특히, 상기 블랙매트릭스는 데이터 배선을 완전히 덮는 영역에 형성되는 것이 바람직하다.
- <102> 상기 블랙매트릭스를 이루는 물질은 절연물질에서 선택되며, 바람직하게는 블랙 레진으로 하는 것이다.
- <103> ST5는, 상기 블랙매트릭스를 덮는 기판 전면에 박막으로 제 1 투명 도전층을 형성하는 단계이고, ST6은 제 1 투명 도전층 상부에서 블랙매트릭스를 컬러별 경계부로 하여 오픈부별로 적, 녹, 청 컬러필터를 차례대로 형성하여 컬러필터층을 완성하는 단계이고, ST7은 컬러필터층 상부 전면에 제 2 투명 도전층을 형성한 다음, 패터닝 공정을 통해 화소 영역별로 제 1, 2 투명 도전층으로 이루어진 화소 전극을 형성하는 단계이다.
- <104> 이 단계에서, 상기 화소 전극은 이웃하는 데이터 배선과 일정간격 이격되게 형성할 수 있으며, 데이터 배선과 화소 전극간 사이에 위치하는 전술한 블랙매트릭스에 의해 두 금속 물질간의 기생용량의 최소화가 가능하다.
- <105> 즉, 본 발명에서는 기존의 고개구율 구조와 다르게 블랙매트릭스를 고개구율 구조용 보호층 겸용으로 이용함에 따라 공정 단순화를 실현할 수 있다.

【발명의 효과】

- <106> 이와 같이, 본 발명에 따른 탑게이트형 박막트랜지스터를 포함하는 COT 액정표시장치 및 그 제조방법에 의하면, COT 구조에 의해 합착마진을 최소화하여 개구율을 높일 수 있고, 폴리실리콘 박막트랜지스터 이용을 통해 상부 기판에 별도의 블랙매트릭스 패턴

을 생략할 수 있으며, 보호층겸용으로 블랙매트릭스를 형성하기 때문에 공정 단순화를 통해 고개구율 구조를 용이하게 적용할 수 있어 생산수율을 높일 수 있다.

【특허청구범위】**【청구항 1】**

기판 상에 형성된 폴리실리콘(p-Si)으로 이루어진 반도체층과;

상기 반도체층의 중앙부를 덮는 영역에 형성된 게이트 전극 및 상기 게이트 전극과 연결되는 게이트 배선과;

상기 게이트 전극 상부에서, 상기 반도체층의 양측부와 연결된 소스 전극 및 드레인 전극 그리고, 상기 소스 전극과 연결되고, 상기 게이트 배선과 교차되게 형성되는 데이터 배선과;

상기 게이트 배선 및 데이터 배선이 교차되는 영역은 화소 영역을 이루고, 상기 반도체층, 게이트 전극, 소스 전극 및 드레인 전극은 박막트랜지스터를 이루며, 상기 화소 영역별 경계부 및 박막트랜지스터를 덮는 위치에 형성되고, 상기 화소 영역과 대응된 위치에서 오픈부를 가지는 블랙매트릭스와;

상기 블랙매트릭스를 덮는 영역에 형성되며, 상기 드레인 전극과 연결되는 제 1 투명 도전층과;

상기 제 1 투명 도전층 상부에서, 상기 블랙매트릭스를 컬러별 경계부로 하여, 상기 오픈부에 형성된 컬러필터층과;

상기 컬러필터층 상부에서 화소 영역별로 형성되며, 상기 제 1 투명 도전층 및 상기 제 1 투명 도전층과 연결되는 제 2 투명 도전층으로 이루어진 화소 전극을 포함하는 COT 액정표시장치용 기판.

【청구항 2】

제 1 항에 있어서,

상기 화소 전극은 이웃하는 데이터 배선과 일정간격 중첩되게 형성되며, 상기 블랙 매트릭스는 데이터 배선을 덮는 영역을 포함하여 형성되는 COT 액정표시장치용 기판.

【청구항 3】

제 1 항에 있어서,

상기 블랙매트릭스를 이루는 물질은 블랙레진에서 선택되는 COT 액정표시장치용 기판.

【청구항 4】

제 1 항에 있어서,

상기 소스 전극 및 드레인 전극과 연결되는 반도체층 영역은 불순물 처리된 영역에 해당되는 COT 액정표시장치용 기판.

【청구항 5】

제 1 항에 있어서,

상기 반도체층과 게이트 전극 사이에는 게이트 절연막이 개재되어 있고, 상기 게이트 전극과 소스 전극 및 드레인 전극 사이에는 층간 절연막이 개재되어 있으며, 상기 층

간 절연막 및 게이트 절연막에는 반도체층의 양측부를 노출시키는 콘택홀이 형성된 COT 액정표시장치용 기판.

【청구항 6】

제 5 항에 있어서,

상기 반도체층과 동일 물질로 이루어지며, 서로 이격되게 제 1 캐패시터 전극이 형성되어 있고, 상기 게이트 절연막 상부에서 제 1 캐패시터 전극의 중앙부와 중첩되게 상기 게이트 전극과 동일 물질로 이루어진 제 2 캐패시터 전극이 형성되어 있고, 상기 소스 전극 및 드레인 전극과 동일 물질로 제 1 캐패시터 전극의 일측부와 연결되는 보조 캐패시터 전극이 형성되어 있으며, 상기 보조 캐패시터 전극은 상기 제 1 투명 도전층과 연결되어 있고, 상기 제 1, 2 캐패시터 전극의 중첩 영역은 스토리지 캐패시턴스를 이루는 COT 액정표시장치용 기판.

【청구항 7】

기판 상에 버퍼층을 형성하는 단계와;

상기 버퍼층 상부에 폴리실리콘 물질로 이루어진 반도체층을 형성하는 단계와;

상기 반도체층 상부에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상부에서 반도체층 중앙부와 중첩되는 게이트 전극 및 상기 게이트 전극과 연결되는 게이트 배선을 형성하는 단계와;

상기 게이트 전극 및 게이트 배선을 덮는 영역에 층간 절연막을 형성하는 단계와;

상기 게이트 절연막 및 층간 절연막에, 상기 반도체층의 양측부를 일부 노출시키는 제 1, 2 콘택홀을 형성하는 단계와;

상기 층간 절연막 상부에서, 상기 제 1, 2 콘택홀을 통해 반도체층과 연결되는 소스 전극 및 드레인 전극 그리고, 상기 소스 전극과 연결되며, 상기 게이트 배선과 교차되는 데이터 배선을 형성하는 단계와;

상기 게이트 배선 및 데이터 배선이 교차되는 영역은 화소 영역으로 정의되고, 상기 반도체층, 게이트 전극, 소스 전극 및 드레인 전극은 박막트랜지스터를 이루며, 상기 화소 영역별 경계부 및 박막트랜지스터를 덮는 영역에 위치하고, 상기 화소 영역을 오픈부로 가지는 블랙매트릭스를 형성하는 단계와;

상기 블랙매트릭스를 덮는 영역에서, 상기 드레인 전극과 연결되는 제 1 투명 도전층을 형성하는 단계와;

상기 제 1 투명 도전층 상부에서, 상기 블랙매트릭스를 컬러별 경계부로 하여, 상기 오픈부에 컬러필터층을 형성하는 단계와;

상기 컬러필터층 상부에, 상기 제 1 투명 도전층과 연결되는 제 2 투명 도전층을 형성하는 단계와, 상기 제 1, 2 투명 도전층을 화소 영역별로 패터닝(patterning)하여 화소 전극을 형성하는 단계

를 포함하는 COT 액정표시장치용 기판의 제조방법.

【청구항 8】.

제 7 항에 있어서,

상기 반도체층을 이루는 폴리실리콘 물질은, 비정질 실리콘 물질을 이용한 결정화 공정을 통해 이루어지는 COT 액정표시장치용 기판의 제조방법.

【청구항 9】

제 7 항에 있어서,

상기 화소 전극은 이웃하는 데이터 배선과 일정간격 중첩되게 형성되며, 상기 블랙 매트릭스는 데이터 배선을 덮는 영역을 포함하여 형성되는 COT 액정표시장치용 기판의 제조방법.

【청구항 10】

제 7 항에 있어서,

상기 반도체층 형성단계에서, 상기 반도체층과 이격되게 제 1 캐패시터 전극을 형성하는 단계와, 상기 게이트 전극 형성단계에서, 상기 제 1 캐패시터 전극의 중앙부에 위치하는 제 2 캐패시터 전극을 형성하는 단계와, 상기 소스 전극 및 드레인 전극 형성 단계에서, 상기 제 1 캐패시터 전극의 일측부와 연결되는 보조 캐패시터 전극을 형성하는 단계와, 상기 제 1 투명 도전층 형성단계에서, 상기 제 1 투명 도전층은 보조 캐패시터 전극과 연결되는 단계를 포함하며, 상기 제 1, 2 캐패시터 전극의 중첩 영역을 스토리지 캐패시턴스를 이루는 것을 특징으로 하는 COT 액정표시장치용 기판의 제조방법.

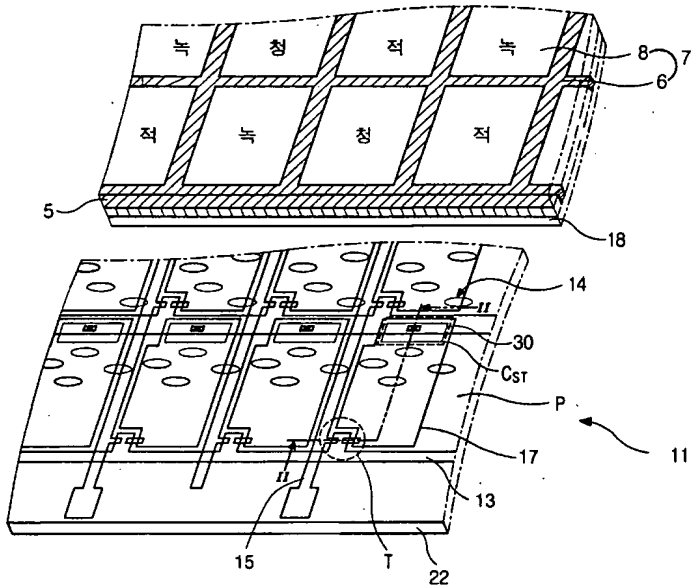
【청구항 11】

제 7 항에 있어서,

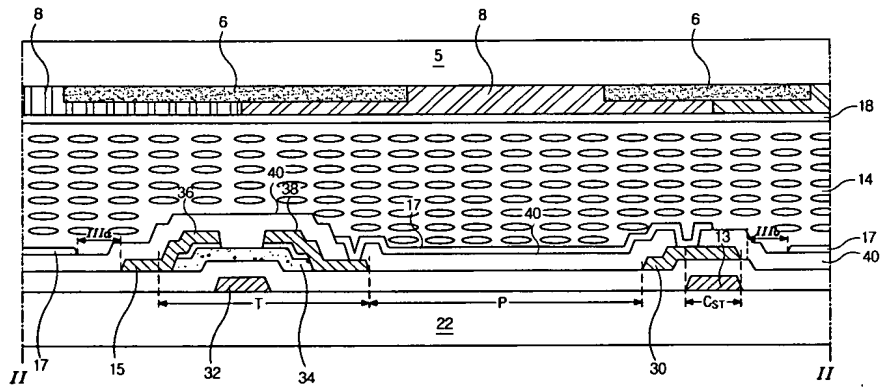
상기 게이트 전극 형성단계에서는, 상기 게이트 전극을 마스크로 이용하여, 노출된 반도체층의 양측부를 불순물처리하는 단계를 포함하는 COT 액정표시장치용 기판의 제조 방법.

【도면】

【도 1】



【도 2】



【도 5】

